
UNIVERSITI SAINS MALAYSIA

Peperiksaan Kursus Semasa Cuti Panjang
Sidang Akademik 2008/2009

Jun 2009

EEE 230 – ELEKTRONIK DIGIT II

Masa: 3 jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi TUJUH muka surat dan TIGA muka surat LAMPIRAN yang bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam bahasa Malaysia atau bahasa Inggeris atau kombinasi kedua-duanya.

1. Dengan menggunakan kaedah EVM (pembolehubah C sebagai pembolehubah masukan), dapatkan persamaan SOP termudah untuk fungsi berikut:

By using EVM method (C variable as entered-variable), find the simplest SOP expression for the following function.

$$F(A,B,C,D,E) = \Pi M (2,3,4,10,11,12,13,15,16,17,18,22,23,27,28,30). \\ \Pi D (1,7,8,14,19,21,24,26,29)$$

Guna dan lengkapkan jadual kebenaran pada Lampiran A. Hantar bersama buku jawapan.

Use and complete the truth table in Appendix A. Attach it with your answer script.

(100%)

2. (a) Diberi persamaan Boolean:
Given a Boolean expression:

$$f(w, x, y, z) = x' + yz'$$

Implemen persamaan Boolean tersebut menggunakan:
Implement the Boolean expression using:

- (i) Gabungan pemultipleks 8:1 dan 2:1
Combination of 8:1 and 2:1 multiplexers
- (ii) Pengekod 4:16
4:16 decoder

(50%)

...3/-

- (b) Satu sistem digital mempunyai 4 masukan (A,B,C,D) dan 2 keluaran (y_1, y_2).

Diberi:

Keluaran y_1 akan tinggi jika sekurang-kurangnya 2 masukan adalah tinggi.

Keluaran y_2 berfungsi sebagai sistem parity ganjil.

Implementasikan sistem tersebut menggunakan 16L8 PAL seperti yang dilampirkan pada Lampiran B. Cerai dan hantar Lampiran B bersama-sama buku jawapan.

A digital system has 4 inputs (A,B,C,D) and 2 outputs (y_1, y_2).

Given:

Output y_1 is high when at least 2 inputs are high.

Output y_2 is an odd parity function.

Implement the system using 16L8 PAL as attached in Appendix B.

Detach and attach Appendix B with your answer script.

(50%)

3. (a) Dengan menggunakan beberapa pengekod 74 x 138 3-kepada-8 seperti yang ditunjukkan pada Lampiran C, implemenkan fungsi-fungsi berikut:

By using several 74 x 138 3-to-8 decoders as shown in Appendix C, implement the following functions:

$$F_1(w, x, y, z) = \sum m(3, 5, 7, 15)$$

$$F_2(w, x, y, z) = \prod M(0, 2, 4, 6, 8, 10, 11, 13, 15)$$

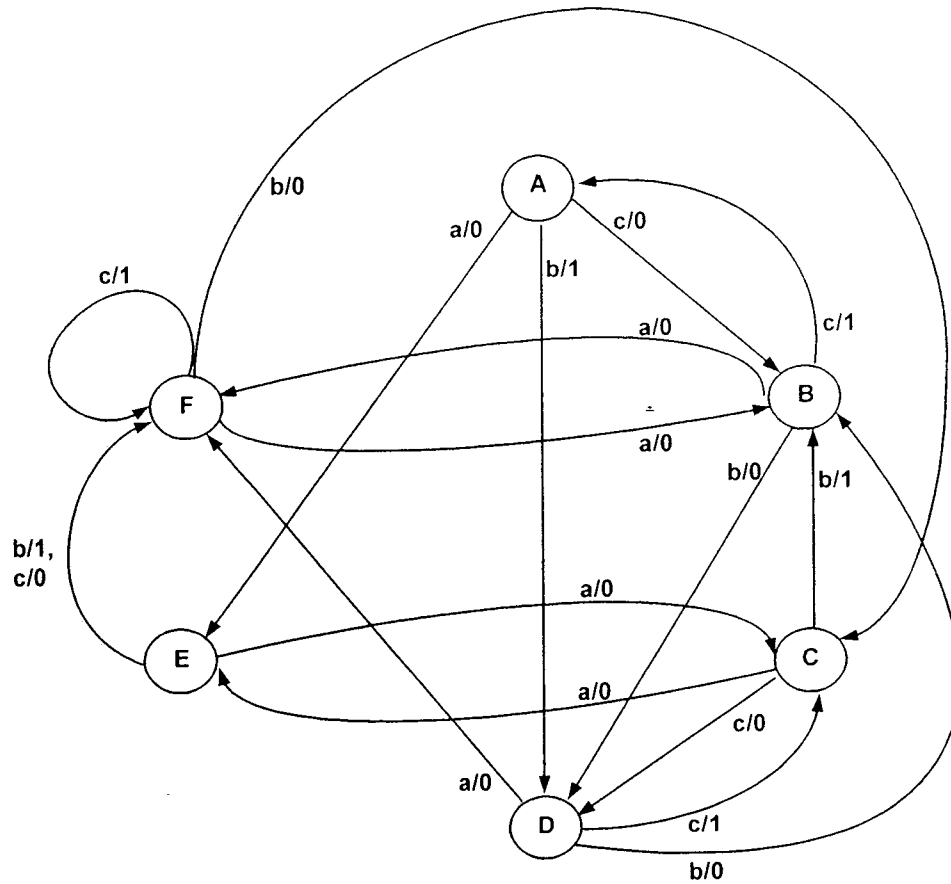
(50%)

- (b) Bina satu penambah bawa-riak 4-bit iteratif untuk $A_3A_2A_1A_0 + B_3B_2B_1B_0 + C_3C_2C_1C_0$ dengan pengesan limpahan.
Construct an iterative 4-bit ripple carry adder for $A_3A_2A_1A_0 + B_3B_2B_1B_0 + C_3C_2C_1C_0$ with overflow detector.
(50%)

4. (a) Bincangkan terma berikut:
Discuss the following terms:

- (i) Perbezaan antara Mesin Mealy dan Mesin Moore.
The similarities and differences between the Mealy and Moore machine.
- (ii) Perbezaan antara litar berjujukan segerak dan tak segerak.
The differences between the synchronous and asynchronous sequential sequential circuit.
(40%)

- (b) Minimumkan gambarajah keadaan seperti yang ditunjukkan pada Rajah 4. Kemudian, lukiskan gambarajah keadaan yang telah diringkaskan.
Minimize the state diagram as shown in Figure 4. Then, draw the simplified state diagram.
(60%)



Rajah 4
Figure 4

5. Rekabentuk satu pengesan jujukan bit Mealy untuk 10110. Sila ikut langkah-langkah berikut:

Develop a Mealy bit sequence detector for 10110. Please follow the following steps:

...6/-

- (i) Tunjukkan gambarajah keadaan yang lengkap.
Show a complete state diagram.
- (ii) Tunjukkan jadual keadaan yang lengkap.
Show a complete state table.
- (iii) Minimumkan jadual keadaan dalam (ii) (jika ada). Gunakan carta implikasi untuk membuktikan jawapan anda.

Minimize the state table in (ii) (if any). Use implication chart to prove your answer.

- (iv) Jika sistem tersebut dibina menggunakan satu flip-flop SR (MSB), satu flip-flop T dan satu flip-flop D (LSB), dapatkan persamaan-persamaan untuk keadaan selepas dan keluaran.

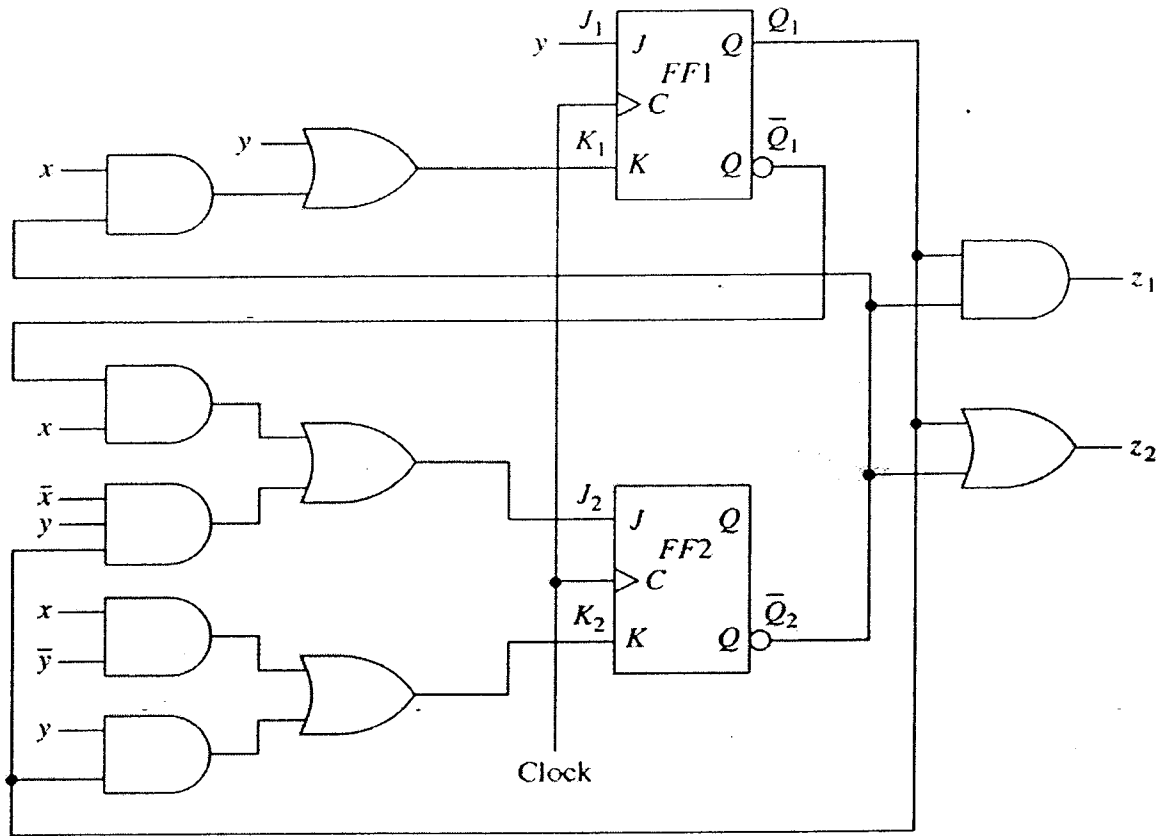
If the system is built using one SR flip-flop (MSB), one T flip-flop and one D flip-flop (LSB), find the expressions for the next state and output.

(100%)

6. Dengan menggunakan kaedah kejuruteraan balikan, dapatkan gambarajah keadaan untuk gambarajah logik yang ditunjukkan dalam Rajah 6. Tunjukkan jalan kerja dengan lengkap.

By using reverse engineering method, determine the state diagram for the logic diagram as shown in Figure 6. Show all work steps in detail.

(100%)



Rajah 6
Figure 6

ooo0ooo

| minterm | A | B | D | E | C | F | $F_i.C' + F_j.C$ | Map entry |
|---------|---|---|---|---|---|---|------------------|-----------|
| | 0 | 0 | 0 | 0 | 0 | | | |
| | 0 | 0 | 0 | 0 | 1 | | | |
| | 0 | 0 | 0 | 1 | 0 | | | |
| | 0 | 0 | 0 | 1 | 1 | | | |
| | 0 | 0 | 1 | 0 | 0 | | | |
| | 0 | 0 | 1 | 0 | 1 | | | |
| | 0 | 0 | 1 | 1 | 0 | | | |
| | 0 | 0 | 1 | 1 | 1 | | | |
| | 0 | 1 | 0 | 0 | 0 | | | |
| | 0 | 1 | 0 | 0 | 1 | | | |
| | 0 | 1 | 0 | 1 | 0 | | | |
| | 0 | 1 | 0 | 1 | 1 | | | |
| | 0 | 1 | 1 | 0 | 0 | | | |
| | 0 | 1 | 1 | 0 | 1 | | | |
| | 0 | 1 | 1 | 1 | 0 | | | |
| | 0 | 1 | 1 | 1 | 1 | | | |
| | 1 | 0 | 0 | 0 | 0 | | | |
| | 1 | 0 | 0 | 0 | 1 | | | |
| | 1 | 0 | 0 | 1 | 0 | | | |
| | 1 | 0 | 0 | 1 | 1 | | | |
| | 1 | 0 | 1 | 0 | 0 | | | |
| | 1 | 0 | 1 | 0 | 1 | | | |
| | 1 | 0 | 1 | 1 | 0 | | | |
| | 1 | 0 | 1 | 1 | 1 | | | |
| | 1 | 1 | 0 | 0 | 0 | | | |
| | 1 | 1 | 0 | 0 | 1 | | | |
| | 1 | 1 | 0 | 1 | 0 | | | |
| | 1 | 1 | 0 | 1 | 1 | | | |
| | 1 | 1 | 1 | 0 | 0 | | | |
| | 1 | 1 | 1 | 0 | 1 | | | |
| | 1 | 1 | 1 | 1 | 0 | | | |
| | 1 | 1 | 1 | 1 | 1 | | | |

